

**BEST AVAILABLE COPY**

**BEST AVAILABLE COPY**

CLIPPEDIMAGE= JP401224852A  
PAT-NO: JP401224852A  
DOCUMENT-IDENTIFIER: JP 01224852 A  
TITLE: BUS FAULT DETECTING SYSTEM

PUBN-DATE: September 7, 1989

INVENTOR-INFORMATION:  
NAME  
FUKUSHIMA, TOMOYOSHI

ASSIGNEE-INFORMATION:  
NAME  
FUJITSU LTD

COUNTRY  
N/A

APPL-NO: JP63050827  
APPL-DATE: March 4, 1988

INT-CL\_(IPC): G06F013/00

**ABSTRACT:**

PURPOSE: To obtain information when a fault occurs on an on-line, and to immediately separate the fault by outputting a fault notifying signal to a multiple access detecting circuit when the bus accessing display signal of a processor other than a receiving device is set at a buffer register.

CONSTITUTION: A multiple access detecting circuit 33 in a bus competition control circuit 13 checks a bus accessing display signal buffer register 32, it judges as normal when the bits of one device in addition to a transmission equipment is set, it regards as abnormal communication in the other cases, and the judgement is set at an internal condition register in the bus competition control circuit. In addition, the contents of the bus accessing display signal buffer register 32 are also held in the internal condition register. When communication abnormality is detected, the bus competition control circuit 3 notifies the transmission equipment, a device (i) reads the internal condition

register, and based on the information, the troubled device is separated.

Thus, an investigating time until the separation is shortened, and reliability can be enhanced.

COPYRIGHT: (C)1989,JPO&Japio

## ⑫ 公開特許公報(A) 平1-224852

⑤ Int. Cl.<sup>4</sup>

G 06 F 13/00

識別記号

3 0 1

庁内整理番号

E-7230-5B

⑬ 公開 平成1年(1989)9月7日

審査請求 未請求 請求項の数 2 (全7頁)

⑭ 発明の名称 バス障害検出方式

⑯ 特 願 昭63-50827

⑰ 出 願 昭63(1988)3月4日

⑱ 発 明 者 福 島 知 善 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 青 柳 稔

## 明 細 書

## 1. 発明の名称

バス障害検出方式

## 2. 特許請求の範囲

## 1. バス競合制御回路(13)を持つ共通バス

(10)に複数の処理装置(20)が接続され、各処理装置とバス競合制御回路との間にはバス使用要求信号(a)用及びバス使用許可信号(b)用個別線(11, 12)が設けられた通信システムのバス障害検出方式において、

バス競合制御回路に、バス使用を許可したバス使用要求信号を保持する選択結果保持レジスタ(31)と、送信装置及び該送信装置が送出したバスコマンドを受付けた処理装置が送出するバスアクセス中表示信号(h)をセットされるバスアクセス中表示信号バッファレジスタ(32)と、これらのレジスタの出力を入力される多重アクセス検出回路(33)を設け、

また各処理装置とバス競合制御回路との間にはバスアクセス中表示信号用の個別線(14)を設け

て、

前記多重アクセス検出回路に、前記バッファレジスタ(32)に送、受信装置以外の処理装置のバスアクセス中表示信号がセットされているとき、障害通知信号(l)を出力させることを特徴とするバス障害検出方式。

2. バス競合制御回路の多重アクセス検出回路(33)は、選択結果保持レジスタ(31)の出力とバスアクセス中表示信号バッファレジスタ(32)の出力を受けて、送信装置のバス使用が許可されて該装置がバスアクセス中表示信号を出力したとき"1"出力を生じる第1のゲート回路(38, 40)と、送、受信装置以外の装置がバスアクセス中表示信号を出力したとき"0"出力を生じる第2のゲート回路(39, 37)とを備え、更にこれらの1, 0出力で障害通知信号(l)を出力するゲート回路(41)を備えることを特徴とする請求項1記載のバス障害検出方式。

## 3. 発明の詳細な説明

(概 要)

バス競合制御回路を持つバスに複数の処理装置が接続され、送信装置から受信装置 No.を含むバスコマンドにより通信を行なうシステムにおけるバス障害検出方式に関し、

多重バスアクセスによる障害時において、障害種別、障害装置の切分けに有効な情報を得る手段を提供することを目的とし、

バス競合制御回路を持つ共通バスに複数の処理装置が接続され、各処理装置とバス競合制御回路との間にはバス使用要求信号用及びバス使用許可信号用個別線が設けられた通信システムのバス障害検出方式において、バス競合制御回路に、バス使用を許可したバス使用要求信号を保持する選択結果保持レジスタと、送信装置及び該送信装置が送出したバスコマンドを受付けた処理装置が送出するバスアクセス中表示信号をセットされるバスアクセス中表示信号バッファレジスタと、これらのレジスタの出力を入力される多重アクセス検出回路を設け、また各処理装置とバス競合制御回路との間にはバスアクセス中表示信号用の個別線を

設けて、前記多重アクセス検出回路に、前記バッファレジスタに送、受信装置以外の処理装置のバスアクセス中表示信号がセットされているとき、障害通知信号を出力させるよう構成する。

#### (産業上の利用分野)

本発明は、バス競合制御回路を持つバスに複数の処理装置が接続され、送信装置から受信装置 No.を含むバスコマンドにより通信を行なうシステムにおけるバス障害検出方式に関する。

#### (従来の技術)

上記通信システムの構成例を第5図に示す。10は共通バス、11、12は個別線、13はバス競合制御回路である。共通バス10には複数(n)個の処理装置20が接続され、各々は同じ構成で、装置iに示すように、ドライバ21、レシーバ22、送信用バス制御回路23、受信用バス制御回路24、データ処理回路25などを備える。

第6図に示すように、ある処理装置本例では装

置iが送信するときはそのデータ処理回路25がバスアクセス起動信号eを出し、これを受けて送信用バス制御回路23は個別線11を通してバス競合制御回路13へバス使用要求信号aを上げる。個別線11、12は各処理装置とバス競合制御回路13との間に各1本ずつ張られており、従ってバス競合制御回路13の入出力端ではn本ある。各処理装置に1本ずつ張られているから、どの線に信号aが現われたかでバス競合制御回路13はバス使用要求を上げたのはどの処理装置かが分る。該回路13はバス競合制御の結果、それが許可できるものであれば個別線12を通して当該装置本例ではiにバス使用許可信号bを送る。

信号bを受けると送信用バス制御回路23はドライバインネーブル信号dを出力し、ドライバ21をアクティブ、レシーバ22をインアクティブにする。ドライバ21がアクティブになると、データ処理回路25のデータ(バスコマンドで、受信装置 No.とオーダとデータからなる)がバス10を通し送信先の処理装置へ送られる。

受信側の処理装置本例では装置jでは信号dによりレシーバ22がアクティブ、ドライバ21がインアクティブになっており(常時はこの状態)、上記コマンド詳しくはその受信装置 No.を該レシーバを通して受信用バス制御回路24へ取込み自系装置 No.と照合して自己宛のものか否か調べ、自己宛のものであればバスアクセス受信通知信号fを出してデータ処理回路25へコマンドを取込ませる。受信完了で終了信号sを上げ、これは送信装置iへ受信応答信号cとして入力し、送信装置の送信用バス制御回路23はバスアクセス終了通知信号gをデータ処理回路25へ与えてデータ送出を停止させ、かつバス使用要求信号aを落とし、これでバス使用許可信号bが落ち、ドライバインネーブル信号dが落ち、バス10上のコマンドはなくなり、バスアクセス受信通知信号fが落ちて本送信サイクルが終了する。

#### (発明が解決しようとする問題点)

各処理装置はドライバ/レシーバ、送/受信用

バス制御回路を備えて上記のような通信を行なうので、例えば送/受信装置以外の装置において

① レシーバ22のスタック障害などで、他装置の装置No.で動作してしまう場合(ドライバ21もレシーバ22もバス10の信号線数だけあり、その1つ2つがスタック障害で常に1を出したりすると、受信した他装置No.が自系装置No.と一致して誤った応動をすることがある。そしてこの場合、誤動作した装置も返送データを出してしまうからバス上で複数の装置からの返送データが重畳し、誤データになる)

② 信号bのレシーバのスタック障害などで常にバス使用許可信号が有りに見えて、バス上へコマンドを誤送出する場合(この場合もバス上に複数の装置からのコマンドが重畳し、受信装置No.が誤まるか、誤オーダが届いてしまう)

といったケースでは、全て送信または受信装置での障害と見做され、実際の障害装置の切分けが困難である。

本発明は、かかる多重バスアクセスによる障害

時において、障害種別、障害装置の切分けに有効な情報を得る手段を提供することを目的とするものである。

#### (問題点を解決するための手段)

第1図に示すように本発明ではバス競合制御回路13に選択結果保持レジスタ31、バスアクセス中表示信号バッファレジスタ32、および多重アクセス検出回路33を設ける。

また処理装置20の各々とバス競合制御回路13との間に、個別線11、12に加えて、バスアクセス中表示信号用の個別線14を設け、各処理装置に送信時及びバスコマンドを受付けたときバスアクセス中表示信号を送出する回路を設ける。

#### (作用)

本発明では、次のようにして障害切分けを行なう。即ち、

① 第1図(a)に示すように処理装置本例では装置iからバス使用要求信号aが出され、これがバス

競合制御回路13で選択されると、バス使用許可信号bが返送される。このときバス競合制御回路13は、その選択結果保持レジスタ31に装置iを登録する。

② 装置iは信号bを受けると、コマンドを共通バス10へ送出する。このとき装置iは第1図(b)に示すように個別線14を通してバスアクセス中表示信号h<sub>i</sub>を送出する。バス競合制御回路13は該信号h<sub>i</sub>を受けると、これをバスアクセス中表示信号バッファレジスタ32に保持する。

③ 装置iが上げた上記コマンドが装置kに対するものであれば、正常なら、装置kのみが該コマンドを受付ける。装置kも、コマンドを受付けると、バスアクセス中表示信号h<sub>k</sub>を個別線14を通してバス競合制御回路13へ送出する。従ってバス競合回路のバスアクセス中表示信号バッファレジスタ32へは該信号h<sub>k</sub>も保持される。

そして、装置jが障害で上記コマンドを誤受信すると、装置jもバスアクセス中表示信号h<sub>j</sub>を送出し、これもバッファレジスタ32に保持され

る。この結果、バス競合制御回路13内のバスアクセス中表示信号バッファレジスタ32には3装置分の信号h<sub>i</sub>、h<sub>j</sub>、h<sub>k</sub>(各1ビット)がセットされることになる。装置jが障害でなければ勿論信号h<sub>j</sub>は送出せず、バッファレジスタにセットされるのはh<sub>i</sub>、h<sub>k</sub>だけである。

④ バス競合制御回路13内の多重アクセス検出回路33はバスアクセス中表示信号バッファレジスタ32をチェックして、送信装置以外に1装置のビットがセットされているだけであれば正常と判断し、それ以外であれば異常通信と見做して、バス競合制御回路内の内部状態レジスタにその旨をセットする。またバスアクセス中表示信号バッファレジスタ32の内容も併わせて該内部状態レジスタに保持する(第1図(c))。

通信異常検出時はバス競合制御回路13は送信装置へ通知を行ない、これにより送信装置本例では装置iは内部状態レジスタの読取りを行ない、その情報から障害装置の切分けを行なう。本例では送、受信装置i、k以外に装置jのビットが立

っているから、異常装置はjであると判断する。

こうして本発明によれば、通信異常、障害装置の検出が可能になる。従来方式でも、パリティチェックなどにより通信異常は分るが、それだけで、どの装置が異常なのかの識別はできなかった。本発明によれば、これが可能になる。

#### (実施例)

第2図～第4図に本発明の実施例を示す。第2図は第5図に対応する図で、全図を通してそうであるが、同じ部分には同じ符号が付してある。両者を比べれば明らかなように第2図ではオアゲート26が付加され、これによりドライバインープル信号dまたはバスアクセス受信通知信号fが出るとき、個別線14へバスアクセス中表示信号hが送出される。またバス競合制御回路13が出す障害通知信号eのレシーバも設けられ、このレシーバ出力(信号e)はデータ処理回路25へ加えられる。

バス競合制御回路13は第4図に示すように、

ドライバ21がアクティブになるとデータ処理回路25のバスコマンドが、該ドライバを通してバス10へ送出される。

受信装置kがこれを受けると、その受信用バス制御回路24はバスアクセス受信通知信号fを出力してデータ処理回路25へバスコマンドを取込ませる。また信号fはオアゲート26を通過して個別線14へ、バスアクセス中表示信号h(h<sub>k</sub>)として出力する。受信装置kは受信コマンドの処理が終ると終了信号sを上げ、これは受信応答信号cとなって送信装置iへ送られ、これはバスアクセス終了通知信号gを発生させると共に、信号a, b, d, h, バスコマンド, 信号f, hを逐次終了させる。

多重アクセス検出回路33では、バス使用要求信号aが上ると、バス使用要求競合選択回路36が該要求が受けられるか否かを判定し、受け可なら信号aを選択結果保持レジスタ31に登録し、該信号aを上げた送信装置iへバス使用許可信号bを送出する。またこれはゲート38の1つ

選択結果保持レジスタ31、バスアクセス中表示信号バッファレジスタ32、多重アクセス検出回路33、バス競合制御回路内タイミングコントローラ35、バス使用要求競合選択回路36を備える。また多重アクセス検出回路33は1/n検出(n個の入力のうち1個だけ"1"の場合出力を"1"とする)回路37、アンドゲート38、インヒビットゲート39, 41, オアゲート40を備える。

第3図は第6図に対応する図である。送信装置が装置i、受信装置が装置kとすると、先ず装置iのデータ処理回路25はバスアクセス起動信号eを出し、送信用バス制御回路23はバス使用要求信号aを上げ、バス競合制御回路13がこれを受ければバス使用許可信号bを出し、送信用バス制御回路23はドライバインープル信号dを出力する。この信号dはドライバ21をアクティブ、レシーバ22をインアクティブにすると共に、オアゲート26を通過して個別線14へバスアクセス中表示信号h(h<sub>i</sub>)として出力する。

(装置iに対応するもの)を開き、ゲート39の1つ(同)を閉じる。装置iはバスアクセス中表示信号h(h<sub>i</sub>)を送出し、これはバッファレジスタ32に保持される。受信装置がkであればこの装置kも信号h(h<sub>k</sub>)を送出し、そして装置jが障害でこれも信号h(h<sub>j</sub>)を送出すると、これらの信号h<sub>k</sub>, h<sub>j</sub>もバッファレジスタ32に保持される。

バッファレジスタにh<sub>i</sub>がセットされていると、上記ゲート38の1つの出力は"1"となり、従ってオアゲート40の出力も1となる。またバッファレジスタ32にh<sub>j</sub>, h<sub>k</sub>がセットされていると、装置j, kに対応するゲート39の2つが出力"1"となり、1/n検出回路37の出力は0となる。従ってゲート41の出力は"1"になる。正常ならバッファレジスタ32にはh<sub>i</sub>, h<sub>k</sub>があるだけで、装置iに対応するゲート39は閉じているから、"1"出力を生じるゲート39は1個だけとなり、1/n検出回路37の出力は1、従ってゲート41の出力は0になる。

ゲート41の出力はバッファレジスタ32の内容と共に内部状態レジスタ34にセットされ、そしてゲート41の1出力は障害通知信号 $\ell$ となる。この信号 $\ell$ を受けると送信装置iは多重アクセス検出を知り、内部状態レジスタ34の読取りを行なう。この結果 $h_i$ 、 $h_j$ 、 $h_k$ がセットされていたことを知れば、送/受信装置に対応する信号 $h_i$ 、 $h_k$ を除いた $h_j$ が異常であり、障害装置はjと判断する。

内部状態レジスタ34からの読取りを、第4図(b)、(c)を参照して更に詳しく説明する。第4図(b)は特にこの送出部の構成を示し、46はドライバ、47はレシーバ、48はバス競合制御回路13の受信用バス制御回路である。

①信号 $\ell$ により異常通信を通知された送信装置iは、バス競合制御回路13に対する内部状態レジスタリード用のバスコマンドをバス10へ送出する。

②バス競合制御回路は受信用バス制御回路48にて自装置No.をバスコマンドの内容と照合し、

一致した場合は信号fによりタイミングコントローラ35へ通知する。

③タイミングコントローラは信号pを送出し、内部状態レジスタ34の内容をバス10へ送出するドライバ46のゲートを開く。タイミングコントローラは、タイミングをとって信号sをバス上へ送出する。

④送信装置iは、信号sを受信応答信号cとして受信するが、同時にバス競合制御回路からのデータバス上の情報を受信する。

⑤バス競合制御回路のタイミングコントローラは、信号sを送出後、タイミングをとって信号pを停止する。

第4図(c)は上記各状態をタイムチャートで示す。

#### (発明の効果)

以上説明したように、従来技術では障害が潜在化してしまい、長期に亘る調査が必要になったものが、本発明ではオンラインで障害発生時の情報が入手でき、直ちに障害の切分けができ、切分け

迄の調査期間が短縮され信頼性の向上が図れる。

#### 4. 図面の簡単な説明

第1図は本発明のバス障害検出方式の原理説明図、

第2図は本発明の実施例を示すブロック図、

第3図は第2図の動作説明図、

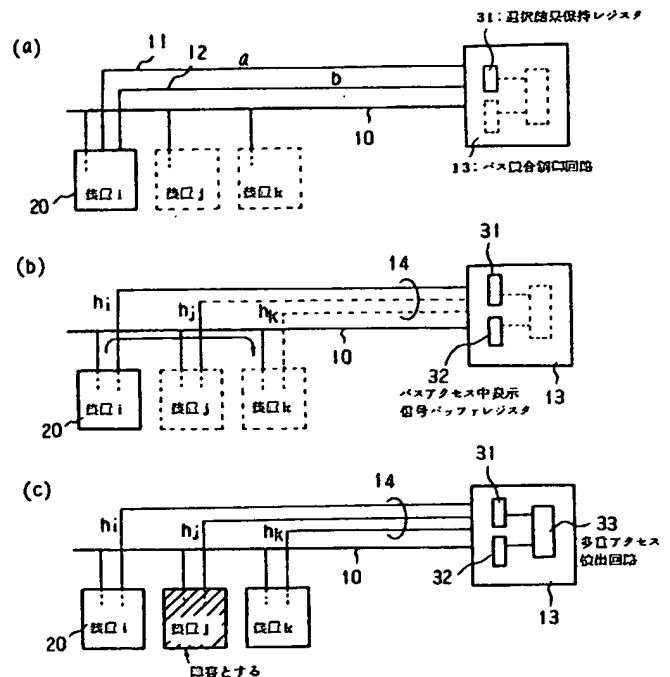
第4図はバス競合制御回路の構成を示すブロック図および動作説明用タイムチャート、

第5図は従来例を示すブロック図、

第6図は第5図の動作説明図である。

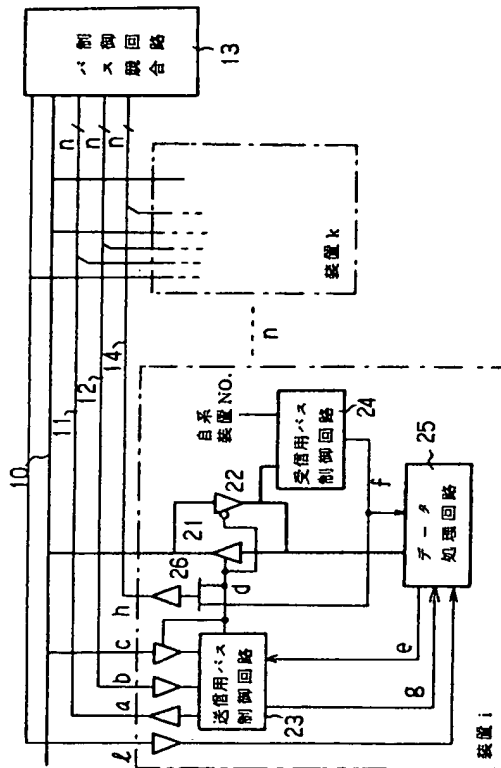
第1図で10は共通バス、11、12、14は個別線、13はバス競合制御回路、20は処理装置、31は選択結果保持レジスタ、32はバスアクセス中表示信号バッファレジスタ、33は多重アクセス検出回路である。

出願人 富士通株式会社  
代理人 弁理士 青柳 稔



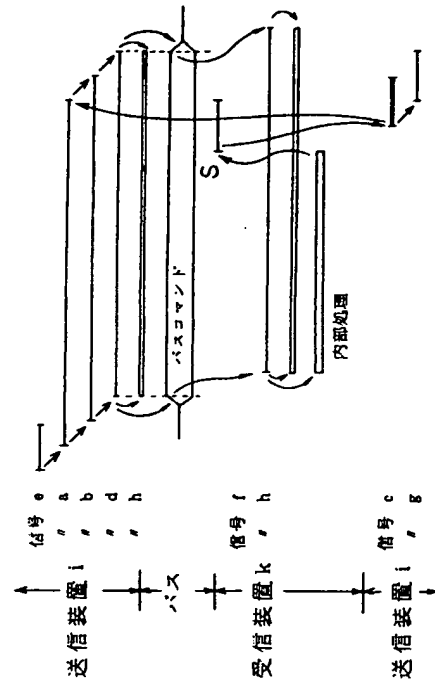
本発明のバス障害検出方式の原理説明図

第1図



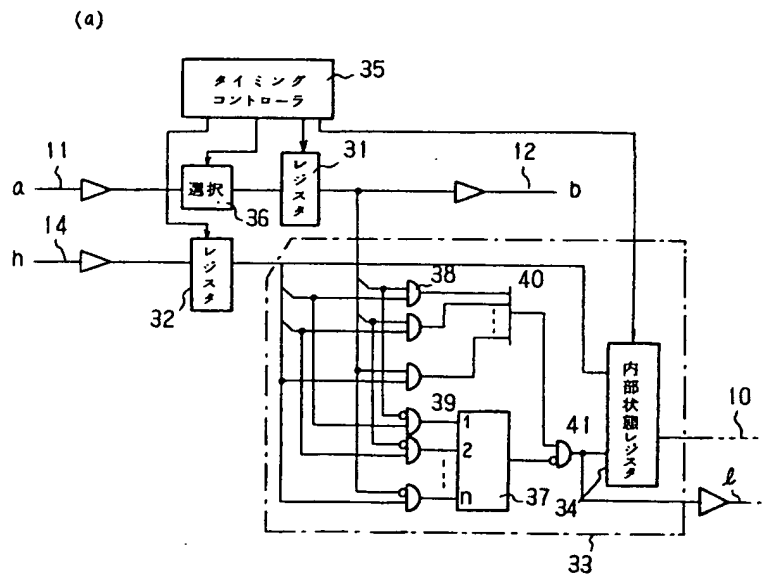
本発明の実施例を示すブロック図

第2図



第2図の動作説明図

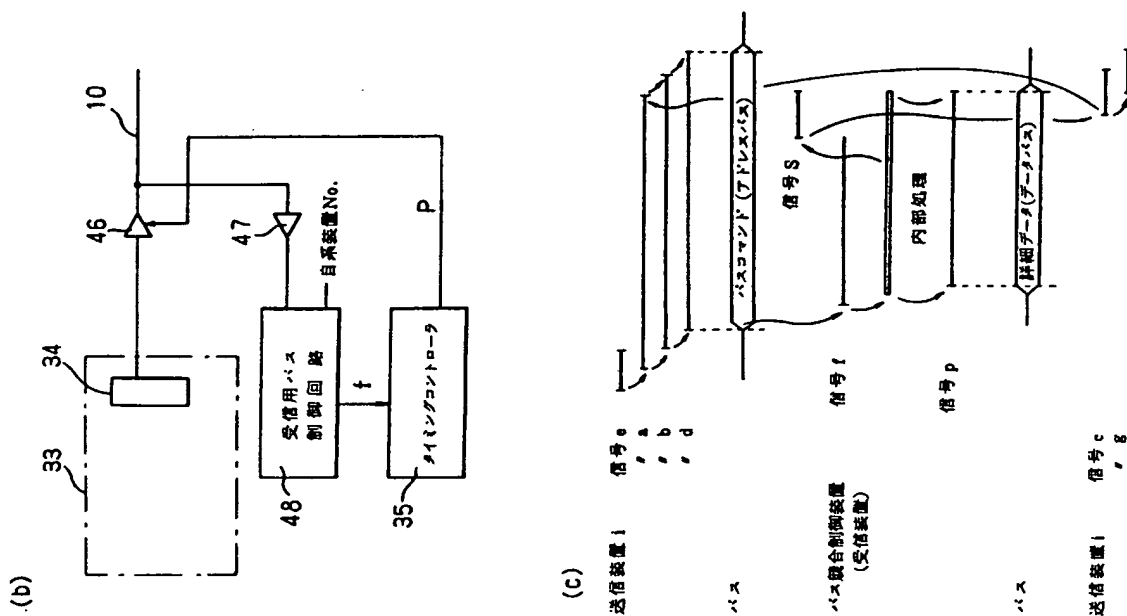
第3図



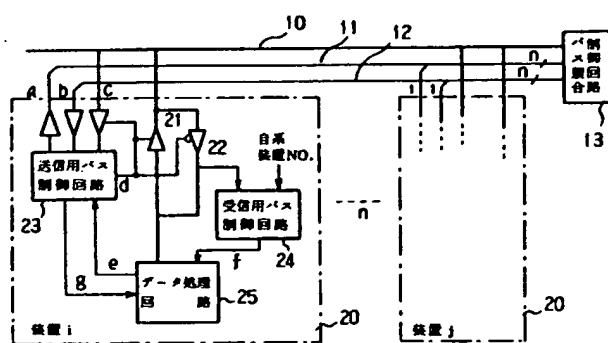
バス競合制御回路の構成を示すブロック図

第4図



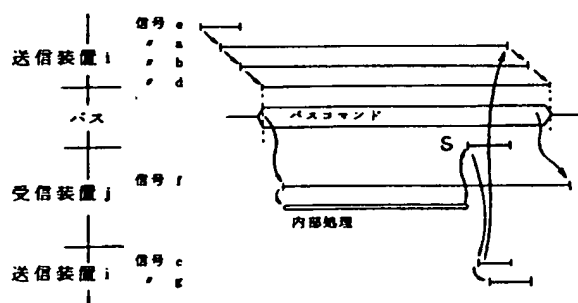


第 4 圖



### 従来例を示すプロット図

第 5 圖



### 第 5 図の動作説明図

第 6 図